

United States Patent Application by Mitsuhiro MATSUO, Koji YOSHIDA

Corresponding to the Japanese Patent Application:

No. 2003-30075 filed on February 6, 2003.

## 発明の名称

スイッチング電源装置

## 発明の背景

本発明は、産業用や民生用の電子機器に直流安定化電圧を供給するスイッチング電源装置に関する。特に、本発明はスイッチング電源装置のDC-DCコンバータにおける制御安定性の改善に関する。

近年、スイッチング電源装置に対して、電子機器の低価格化・小型化・高性能化・省エネルギー化に伴い、出力の安定性が高く小型で高効率な電源装置が強く求められている。特に、半導体装置に給電する電源では、半導体の高集積化に伴い、より低電圧で安定度が高く大電流が供給できる電源装置の要求が高まっている。

図11A、図11B、図11C及び図11Dは従来のスイッチング電源装置におけるDC-DCコンバータの各種構成例を示す回路図である。図11Aはフォワード形、図11Bはフライバック形、図11Cはハーフブリッジ形、及び図11Dはフルブリッジ形のDC-DCコンバータを示している。図11Aに示すフォワード形のDC-DCコンバータにおいて、符号100は入力直流電源であり、入力直流電源100にはトランス102の1次巻線102aと主スイッチング素子101の直列回路が接続されている。トランス102の2次巻線102bには整流ダイオード103、104の直列回路が接続されており、2つの整流ダイオード103、104の接続点には整流チョークコイル105の一端が接続されている。整流チョークコイル105の他端には平滑コンデンサ106の一端が接続されている。平滑コンデンサ106の両端は出力端となっており、負荷107が接続されている。負荷107に供給される出力電圧は、出力電圧検出回路111により検出され誤差増幅器109に出力される。誤差増幅器109では出力電圧設定用の基準電源110からの基準電圧と出力電圧とを比較し、その誤差信号

を増幅して制御回路 108 へ出力する。制御回路 108 は誤差信号に基づき主スイッチング素子 101 のオンオフ制御を行っている。

図 11B に示すフライバック形 DC-DC コンバータにおいて、図 11A に示したフォワード形 DC-DC コンバータの構成要素と同じ機能、構成を有するものには同じ符号を付す。図 11B に示すフライバック形 DC-DC コンバータは、図 11A に示すフォワード形 DC-DC コンバータにおける整流ダイオード 104 と整流チョークコイル 105 を取り除いた構成である。

図 11C に示すハーフブリッジ形 DC-DC コンバータにおいて、符号 120 は入力直流電源であり、2つのコンデンサ 121, 122 の直列回路が入力直流電源 120 に接続されている。また、2つの主スイッチング素子 123, 124 の直列回路がコンデンサ 121, 122 の直列回路と並列に接続されている。ここでは主スイッチング素子 123, 124 は MOSFET で例示してある。トランス 125 の 1 次巻線 125a は、2つのコンデンサ 121, 122 の接続点と 2つの主スイッチング素子 123, 124 の接続点との間に接続されている。トランス 125 は第 1 の 2 次巻線 125b と第 2 の 2 次巻線 125c とを有しており、整流用スイッチング素子 126, 127 に接続されている。第 1 の 2 次巻線 125b と第 2 の 2 次巻線 125c との接続点には出力チョークコイル 128 の一端が接続されており、出力チョークコイル 128 の他端には平滑コンデンサ 129 が接続されている。平滑コンデンサ 129 の両端は出力端となっており、負荷 130 が接続されている。負荷 130 に供給される出力電圧は、出力電圧検出回路 134 により検出され誤差増幅器 132 に出力される。誤差増幅器 132 では出力電圧設定用の基準電源 133 からの基準電圧と出力電圧とを比較し、その誤差信号を増幅して制御回路 131 へ出力する。制御回路 131 は誤差信号に基づき主スイッチング素子 123, 124 のオンオフ制御を行っている。

図 11D に示すフルブリッジ形 DC-DC コンバータにおいて、図 11C に示したハーフブリッジ形 DC-DC コンバータの構成要素と同じ機能、構成を有するものには同じ符号を付す。図 11D に示すフルブリッジ形 DC-DC コンバータは、図 11C に示したハーフブリッジ形 DC-DC コンバータにおけるコンデンサ 121, 122 に変えて、制御回路 131 によりオンオフ制御される主スイ

ッチング素子 135, 136 を設けている。主スイッチング素子 135, 136 を ON、OFF 動作させることにより、トランス 125 の 1 次巻線 125 a に高周波電圧が発生し、2 次巻線 125 b, 125 c には 1 次巻線 125 a と 2 次巻線 125 b, 125 c との巻数比に応じた高周波電圧が発生している。図 11D に示すフルブリッジ形 DC-DC コンバータにおいては、整流用スイッチング素子 126, 127 と出力平滑回路 128, 129 のリアクトルとコンデンサで直流に平滑して、負荷 130 に直流電圧を供給している。また、出力直流電圧は出力電圧検出回路 134 により検出されて誤差増幅器 132 の一方に入力される。誤差増幅器 132 の他方には基準電源 133 からの基準電圧が入力され、誤差増幅器 132 において出力直流電圧と基準電圧が比較される。その比較結果に応じた PWM パルスがパルス発生器である制御回路 131 から各主スイッチング素子に供給されて、各主スイッチング素子はオンオフ駆動される。これにより、負荷 130 には安定した直流電圧が供給される。

従来のスイッチング電源装置において、大容量化を図るために、または回路部品の小型化、軽量化を図るために、複数のスイッチング電源装置を直列に接続する方法が用いられている。具体的には、大規模集積回路 (LSI) やマイクロプロセッサ (MPU) のような半導体素子の微細パターン化が進むなかで、半導体素子を動作させるための電源の低電圧化、大電流化が図られている。特に、入出力電圧間の降圧比の大きい場合、例えば、入力電圧が 48 V で出力電圧が 1.2 V の場合には、トランスの巻数比が必然的に増加する。また、このような構成のスイッチング電源装置においては、出力電流量が増大すると、トランスの巻線部における損失も増加するため、スイッチング電源装置の効率が悪化するだけでなく、装置の大型化にもつながっていた。

複数のスイッチング電源装置である DC-DC コンバータを直列に接続する場合には、入力直流電圧を複数のコンデンサにより分割し、分割された各電圧を電源として、それぞれに DC-DC コンバータが接続されている。これらの DC-DC コンバータを制御回路から与えられる PWM 信号によってオンオフ制御することにより、並列接続された出力側において所望の直流電圧が形成されている。複数のスイッチング電源回路を直列に接続した従来例を図 12A と図 12B

に示す。図 1 2 A と図 1 2 B は、複数のスイッチング電源回路である DC-DC コンバータを入力側で直列に接続して構成した従来のスイッチング電源装置の回路例を示している。図 1 2 A の回路図は、ハーフブリッジ又はフルブリッジ方式で構成されるスイッチング電源装置を示す略図である。図 1 2 B の回路図は、フォワード方式又はフライバック方式で構成されるスイッチング電源装置を示す略図である。

図 1 2 A と図 1 2 B において、入力直流電源 2 0 1 の入力直流電圧は、2 つの分圧コンデンサ 2 0 2, 2 0 3 により分割され、分割された各直流電圧は 2 つの DC-DC コンバータ 2 0 4, 2 0 5 のそれぞれに入力される。DC-DC コンバータ 2 0 4, 2 0 5 からの出力は平滑コンデンサ 2 0 6 により平滑化され、負荷 2 0 7 に供給されている。上記のように、入力直流電圧は、コンデンサ 2 0 2, 2 0 3 によって分圧され、分圧されたそれぞれの電圧を電源として、DC-DC コンバータ 2 0 4, 2 0 5 に入力されている。そして、出力側が並列接続された DC-DC コンバータは、負荷 2 0 7 に対して所望の出力電圧を供給するよう構成されている。

しかしながら、図 1 2 A と図 1 2 B に示すように構成された従来のスイッチング電源装置においては、実際には、回路定数や主スイッチング素子における動作にズレが生じるため、各々の DC-DC コンバータにおいて、各 DC-DC コンバータへの入力電圧のバランスが崩れて負荷不平衡が発生する場合があった。このような負荷不平衡が大きくなると主スイッチング素子の使用条件に対して悪影響を与え、装置としての機能が果たせない場合があった。したがって、このような問題が生じることのない、安定した動作を行うスイッチング電源装置を提供することがこの分野における達成すべき課題であった。

このような課題に対して開発されたものとしては、日本の特開昭 6 2 - 1 3 8 0 6 1 号公報と特公平 4 - 1 5 8 9 号公報に開示されたスイッチング電源装置がある。

日本の特開昭 6 2 - 1 3 8 0 6 1 号公報には、複数の高周波インバータ回路の入力側を直列に接続したスイッチングレギュレータ電源装置が開示されている。このスイッチングレギュレータ電源装置においては、2 石のスイッチング素子の

破壊を防止することを目的として、印加電圧をバランスさせている。このため、スイッチング電源装置においては、それぞれの高周波インバータ回路を逆位相で動作させ、出力側のチョークコイルを共通化することにより、それぞれの高周波インバータ回路におけるインピーダンスの差を無くしている。

また、日本の特公平4-1589号公報には、複数のDC-DCコンバータのそれぞれの入力側に接続されているコンデンサが分担すべき電圧目標値を定め、かつ各コンデンサの印加電圧を検出して、両者の偏差をゼロにするよう制御する方法が開示されている。

しかしながら、特開昭62-138061号公報に開示されたスイッチング電源装置では、チョークコイル以外の高周波インバータ回路において、定数のばらつきが生じると、負荷分担に差が生じるため、電源装置として動作が不安定になる恐れがあった。

また、高電圧を入力とする特開昭62-138061号公報に開示されたスイッチングレギュレータ電源装置においては、各高周波インバータ回路の電圧バランスをとることにより、スイッチング回路である高周波インバータ回路を構成する半導体素子の耐圧オーバーによる素子破壊を防止していた。しかし、特開昭62-138061号公報に開示された構成の場合、電圧目標値の設定には、抵抗によって入力電圧を分割する必要があるため、電圧検出に際して電力ロスが発生し、効率の低下を招いていた。

日本の特公平4-1589号公報に開示されたDC-DCコンバータの直列運転方式においては、コンデンサが分担すべき電圧値となるよう調整されているが、各DC-DCコンバータにおける構成部品の特性にばらつきがあるため、各回路の出力状態に不平衡が生じていた。

## 発明の概要

本発明は、上記の従来のスイッチング電源装置における問題を解決するものであり、複数のDC-DCコンバータの入力側を直列に接続して、各々のDC-DCコンバータの入力電圧を均等にし、安価でかつ電力ロスの少ない回路部品によって負荷分担を均等化することを目的とする。

上記の目的を達成するために、本発明に係るスイッチング電源装置は、直流電源の電圧を分割する複数のコンデンサと、

前記複数のコンデンサに分割された電圧がそれぞれに入力され、出力側が並列接続された複数のDC-DCコンバータと、

前記DC-DCコンバータの出力電圧を検出して基準電圧との誤差信号を形成する出力電圧誤差検出手段と、

各DC-DCコンバータにおける入力電圧に対応する電圧を検出して、各DC-DCコンバータの入力電圧の偏差信号を形成する入力電圧偏差検出手段と、

前記出力電圧誤差検出手段からの誤差信号と前記入力電圧偏差検出手段からの偏差信号とが入力され、前記DC-DCコンバータの駆動制御を行う制御手段とを具備する。

本発明のスイッチング電源装置は、各々のコンデンサで直流電源の電圧を正確かつ均等に分圧して各々のDC-DCコンバータに印加するよう構成されている。そして、本発明においては、分割された電圧を間接的に検出して、各DC-DCコンバータの入力電圧をモニターすることにより、各DC-DCコンバータの入力電圧のバランスが崩れることによる負荷電流の不平衡を防止して、制御が不安定になることを防止している。本発明は、各々のDC-DCコンバータの入力電圧を低減できるためトランスにおける1次巻線の巻数比の低減、さらにはスイッチング手段として用いられるスイッチング素子の耐圧を下げる事が可能となる。本発明は、入出力間で降圧の大きいスイッチング電源装置において、トランスの巻数を少なくすることができるため、大電流出力が必要な装置及び、形状やスペースに制約のある小型の装置においては、有効な回路構成となる。

本発明のスイッチング電源装置において、入力電圧偏差検出手段が、DC-DCコンバータにおける所定の構成部分に印加される電圧を検出する電圧検出手段と、前記電圧検出手段により検出された各DC-DCコンバータの入力電圧の偏差を検知する電圧偏差検出手段とを有して構成され、

制御手段が、前記入力電圧偏差検出手段の偏差信号と前記出力電圧誤差検出手段の誤差信号が入力され、各DC-DCコンバータへの入力電圧バランスを均等にし、前記入力電圧偏差検出手段の偏差をゼロにするように、前記スイッチング

手段をオンオフ動作させる駆動信号を補正するよう構成されている。このように構成された本発明のスイッチング電源装置は、分割された直流電源の電圧を間接的に検出して、各DC-DCコンバータの入力電圧をモニターすることにより、各DC-DCコンバータの入力電圧のバランスが崩れることによる負荷電流の不平衡を防止して、制御が不安定になるのを防止している。

本発明のスイッチング電源装置において、直流電源が接続される入力端子間に直列に接続されたN個（Nは3以上の整数）のコンデンサと、前記コンデンサのそれぞれに接続されたN個のDC-DCコンバータとを有して構成されており、

入力電圧偏差検出手段が各DC-DCコンバータにおける入力電圧に対応する電圧を検出して平均値を算出し、当該平均値と各DC-DCコンバータにおける入力電圧に対応する電圧との偏差を形成し、

制御手段は、前記入力電圧偏差検出手段の偏差信号と出力電圧誤差検出手段の誤差信号が入力され、各DC-DCコンバータへの入力電圧バランスを均等にし、前記入力電圧偏差検出手段の偏差をゼロにするように、前記スイッチング手段をオンオフ動作させる駆動信号を補正するよう構成されている。このように構成された本発明のスイッチング電源装置は、3個以上のDC-DCコンバータを入力側で直列に接続した構成であり、各DC-DCコンバータにおける偏差を確実に求めて、各DC-DCコンバータの入力電圧のバランスが崩れることによる負荷電流の不平衡を防止して、制御が不安定になるのを防止している。

本発明のスイッチング電源装置において、入力電圧偏差検出手段が、トランスに補助巻線を追加して、スイッチング手段がオン状態のときに前記補助巻線に誘起する電圧を検出するよう構成されている。このように構成された本発明のスイッチング電源装置は、トランスに補助巻線を追加することにより、トランスの1次巻線に印加される電圧を検出して、各々のDC-DCコンバータにおける入力電圧を検出できる。これによって、本発明のスイッチング電源装置は、直列に接続されたDC-DCコンバータにおける各DC-DCコンバータの入力電圧のバランスが崩れることによる負荷電流の不平衡を防止して、安定な回路動作を維持することが可能である。

本発明のスイッチング電源装置において、入力電圧偏差検出手段は、トランス

の２次巻線に誘起される電圧を検出するよう構成されている。このように構成された本発明のスイッチング電源装置は、トランスの２次巻線に誘起される電圧の振幅値から、各々のＤＣ－ＤＣコンバータにおける入力電圧を検出して、それぞれの偏差を算出し、電圧バランスをとって各ＤＣ－ＤＣコンバータの入力電圧のバランスが崩れることによる負荷電流の不均衡を防止することが可能となる。

本発明のスイッチング電源装置において、入力電圧偏差検出手段が、出力チョークコイルに印加される電圧を検出するよう構成されている。このように構成された本発明のスイッチング電源装置は、ＤＣ－ＤＣコンバータの出力チョークコイルに誘起される電圧を検出することにより、各々のＤＣ－ＤＣコンバータに入力される電圧を間接的に検出することができる。そして、この検出された電圧を用いて、本発明においてはスイッチング手段をオンオフさせる駆動信号を制御することが可能となる。

本発明のスイッチング電源装置において、制御手段が、基準三角波信号を形成する基準三角波信号形成手段と、前記基準三角波信号と出力電圧誤差検出手段の誤差信号とを比較する電圧比較手段とを有して構成されており、入力電圧偏差検出手段における偏差信号を、基準三角波信号もしくは前記出力電圧誤差検出手段の誤差信号のいずれかに加算した後、電圧比較をするよう構成されている。

本発明のスイッチング電源装置において、ＤＣ－ＤＣコンバータが、少なくともスイッチング手段と絶縁トランスと整流手段と平滑コンデンサと出力チョークコイルとを有しており、前記整流手段が、ダイオードで構成されている。

本発明のスイッチング電源装置において、ＤＣ－ＤＣコンバータが、フォワード形コンバータ、フライバック形コンバータ、ハーフブリッジ形コンバータ、及びフルブリッジ形コンバータのうちのいずれか１種類により構成されている。このように構成された本発明のスイッチング電源装置は、絶縁型コンバータとして知られているフォワード形コンバータ、フライバック形コンバータ、ハーフブリッジ形コンバータ、フルブリッジ形コンバータのうちのいずれか１種類の回路により構成されているため、絶縁型トランスを用いるために絶縁トランスに誘起される電圧を検出して容易に入力電圧を検出することができ、確実な制御が容易となる。



発明の新規な特徴は添付の請求の範囲に特に記載したものに他ならないが、構成及び内容の双方に関して本発明は、他の目的や特徴と合わせて図面と共に以下の詳細な説明を読むことにより、より良く理解され評価されるであろう。

#### 図面の簡単な説明

図 1 は本発明に係る実施の形態 1 のスイッチング電源装置の構成を示す回路図である。

図 2 は実施の形態 1 のスイッチング電源装置における動作波形図である。

図 3 は実施の形態 1 のスイッチング電源装置における制御回路の構成を示すブロック図である。

図 4 は本発明に係る実施の形態 2 のスイッチング電源装置の構成を示す回路図である。

図 5 は実施の形態 2 のスイッチング電源装置における動作波形図である。

図 6 は本発明に係る実施の形態 3 のスイッチング電源装置の構成を示す回路図である。

図 7 は本発明に係る実施の形態 4 のスイッチング電源装置の構成を示す回路図である。

図 8 は本発明に係る実施の形態 5 のスイッチング電源装置の構成を示す回路図である。

図 9 は本発明に係る実施の形態 6 のスイッチング電源装置の構成を示す回路図である。

図 10 は本発明に係る実施の形態 6 のスイッチング電源装置の構成を示す動作波形図である。

図 11 A は従来のフォワード形 DC-DC コンバータの構成を示す回路図である。

図 11 B は従来のフライバック形 DC-DC コンバータの構成を示す回路図である。

図 11 C は従来のハーフブリッジ形 DC-DC コンバータの構成を示す回路図である。

図 1 1 D は従来のフルブリッジ形 D C - D C コンバータの構成を示す回路図である。

図 1 2 A は D C - D C コンバータの接続方法を説明する回路図である。

図 1 2 B は D C - D C コンバータの別の接続方法を説明する回路図である。

図面の一部又は全部は、図示を目的とした概略的表現により描かれており、必ずしもそこに示された要素の実際の相対的大きさや位置を忠実に描写しているとは限らないことは考慮願いたい。

#### 発明の詳細な説明

以下、本発明に係るスイッチング電源装置の好適な実施の形態について添付の図面を参照して説明する。

##### 《実施の形態 1》

図 1 は本発明に係る実施の形態 1 のスイッチング電源装置の構成を示す回路図である。図 1 に示す実施の形態 1 のスイッチング電源装置は、2 組のハーフブリッジ形 D C - D C コンバータ（以下、ハーフブリッジコンバータと略称）3 5 0、3 6 0 の入力側を直列に接続し、出力側を並列に接続して構成されている。すなわち、実施の形態 1 のスイッチング電源装置においては、2 つのコンデンサ 3 0 2、3 0 3 を直列に接続して直流電源 3 0 1 の電圧を分割し、分割された各電圧が第 1 のハーフブリッジコンバータ 3 5 0 と第 2 のハーフブリッジコンバータ 3 6 0 に印加されている。2 組の D C - D C コンバータがハーフブリッジ方式の場合、コンデンサ 3 0 2、3 0 3 を省略することも可能である。なぜなら、ハーフブリッジ方式の場合、回路構成上、コンデンサ 3 0 4、3 0 5、3 1 2、3 1 3 を備えて、電圧を分割するからである。

第 1 のハーフブリッジコンバータ 3 5 0 において、2 つのコンデンサ 3 0 4、3 0 5 の直列回路がコンデンサ 3 0 2 に並列に接続されている。また、第 1 及び第 2 のスイッチング素子 3 0 6、3 0 7 の直列回路がコンデンサ 3 0 4、3 0 5 の直列回路と並列に接続されている。ここでは第 1 及び第 2 のスイッチング素子 3 0 6、3 0 7 が M O S F E T で例示してある。第 1 のトランス 3 0 8 の 1 次巻

線 3 0 8 a は、2 つのコンデンサ 3 0 4、3 0 5 の接続点と第 1 及び第 2 のスイッチング素子 3 0 6、3 0 7 の接続点との間に接続されている。第 1 のトランス 3 0 8 は、1 次巻線 3 0 8 a と第 1 の 2 次巻線 3 0 8 b と第 2 の 2 次巻線 3 0 8 c と補助巻線 3 0 8 d とを有している。第 1 のトランス 3 0 8 の第 1 の 2 次巻線 3 0 8 b と第 2 の 2 次巻線 3 0 8 c は、整流用スイッチング手段である第 5 及び第 6 のスイッチング素子 3 0 9、3 1 0 に接続されている。第 1 の 2 次巻線 3 0 8 b と第 2 の 2 次巻線 3 0 8 c との接続点には出力チョークコイル 3 1 1 の一端が接続されており、出力チョークコイル 3 1 1 の他端には平滑コンデンサ 3 2 0 が接続されている。平滑コンデンサ 3 2 0 の両端は出力端となり、負荷 3 2 1 が接続されている。負荷 3 2 1 に供給される出力電圧は、出力電圧検出手段である出力電圧検出回路 3 5 1 により検出され、出力電圧誤差増幅器 3 2 2 に出力される。出力電圧誤差増幅器 3 2 2 では出力電圧設定用の基準電源 3 2 3 からの基準電圧と出力電圧とが比較され、その誤差信号を増幅して、制御手段である制御回路 3 2 4 へ出力する。

第 2 のハーフブリッジコンバータ 3 6 0 において、2 つのコンデンサ 3 1 2、3 1 3 の直列回路がコンデンサ 3 0 3 に並列に接続されている。また、第 3 及び第 4 のスイッチング素子 3 1 4、3 1 5 の直列回路がコンデンサ 3 1 2、3 1 3 の直列回路と並列に接続されている。ここでは第 3 及び第 4 のスイッチング素子 3 1 4、3 1 5 は MOSFET で例示してある。第 2 のトランス 3 1 6 の 1 次巻線 3 1 6 a は、2 つのコンデンサ 3 1 2、3 1 3 の接続点と第 3 及び第 4 のスイッチング素子 3 1 4、3 1 5 の接続点との間に接続されている。第 2 のトランス 3 1 6 は 1 次巻線 3 1 6 a と第 1 の 2 次巻線 3 1 6 b と第 2 の 2 次巻線 3 1 6 c と補助巻線 3 1 6 d とを有している。第 2 のトランス 3 1 6 の第 1 の 2 次巻線 3 1 6 b と第 2 の 2 次巻線 3 1 6 c は、整流用スイッチング手段である第 7 及び第 8 のスイッチング素子 3 1 7、3 1 8 に接続されている。第 1 の 2 次巻線 3 1 6 b と第 2 の 2 次巻線 3 1 6 c との接続点には出力チョークコイル 3 1 9 の一端が接続されており、出力チョークコイル 3 1 9 の他端には平滑コンデンサ 3 2 0 が接続されている。

以上のように、第 1 のハーフブリッジコンバータ 3 5 0 と第 2 のハーフブリッ

ジコンバータ 360 においては、平滑コンデンサ 320 が共有されている。すなわち、第 1 のハーフブリッジコンバータ 350 と第 2 のハーフブリッジコンバータ 360 の各出力端は、並列に接続されて、負荷 321 に直流電力を供給するよう構成されている。

第 1 のトランス 308 の補助巻線 308 d に生じた電圧は、電圧検出手段である第 1 の電圧検出回路 325 により検出され、電圧偏差検出手段である電圧偏差検出回路 327 に入力される。また、第 2 のトランス 316 の補助巻線 316 d に生じた電圧は、電圧検出手段である第 2 の電圧検出回路 326 により検出され、電圧偏差検出回路 327 に入力される。電圧偏差検出回路 327 においては、第 1 の電圧検出回路 325 による検出電圧と第 2 の電圧検出回路 326 による検出電圧とを比較して、その結果を電圧信号補正回路 328 を介して制御回路 324 に出力する。

制御回路 324 には、出力電圧誤差増幅器 322 からの増幅された誤差信号と、第 1 の電圧検出回路 325 の出力電圧と第 2 の電圧検出回路 326 の出力電圧とを比較した結果を示す電圧信号である偏差信号が入力される。これらの信号に基づき、制御回路 324 にはスイッチング素子 306, 307, 309, 310, 314, 315, 317, 318 のオンオフ制御を行う。

出力電圧を設定するために用いられる、出力電圧を検出する出力電圧検出回路 351、出力電圧設定用基準電源 323、出力電圧と出力電圧設定用基準電源 323 の基準電圧との偏差を求める出力電圧誤差増幅器 322、及びこの出力電圧誤差増幅器 322 からの誤差信号を制御回路 324 の内部に取り込んで各スイッチング素子をオンオフ駆動するための駆動信号を形成する後述の駆動信号形成手段が設けられている。

図 2 は、実施の形態 1 のスイッチング電源装置における動作波形を示したものである。図 2 において、(a) は第 1 のスイッチング素子 306 の駆動信号、(b) は第 2 のスイッチング素子 307 の駆動信号、(c) は第 3 のスイッチング素子 314 の駆動信号、(d) は第 4 のスイッチング素子 315 の駆動信号、(e) は第 1 のトランス 308 の 1 次巻線 308 a に印加される電圧波形、及び (f) は第 2 のトランス 316 の 1 次巻線 316 a に印加される電圧波形である。また、

図2において、(g)における実線は、第5のスイッチング素子309のゲート端子に入力される駆動信号（ゲート駆動信号）であり、破線は第5のスイッチング素子309の両端に印加される電圧波形である。図2の(h)における実線は、第6のスイッチング素子310のゲート端子に入力される駆動信号（ゲート駆動信号）であり、破線は第6のスイッチング素子310の両端に印加される電圧波形である。図2の(i)における実線は、第7のスイッチング素子317のゲート端子に入力される駆動信号（ゲート駆動信号）であり、破線は第7のスイッチング素子317の両端に印加される電圧波形である。図2の(j)における実線は、第8のスイッチング素子318のゲート端子に入力される駆動信号（ゲート駆動信号）であり、破線は第8のスイッチング素子318の両端に印加される電圧波形である。

以下、図2に示す時刻  $t_0$  から時刻  $t_8$  までの回路動作を時間を区分して説明する。

#### <時間区分 $t_0 \sim t_1$ >

図2の(a)に示されるゲート駆動信号が第1のスイッチング素子306に印加されると、第1のスイッチング素子306は、時刻  $t_0$  においてターンオンする。これにより、第1のトランス308の1次巻線308aの両端には直流電源301の入力電圧  $V_{in}$  [V] の4分の1に相当する  $(V_{in}/4)$  [V] の電圧が印加される。 $(V_{in}/4)$  [V] という電圧は、コンデンサ304, 305, 312, 313によって決定される。このとき、図2の(g)に示されるように、第5のスイッチング素子309はゲート駆動信号により、すでにオフ状態にあるため、第1のトランス308の1次巻線308aの巻数を  $N_p$ 、第1の2次巻線308bの巻数を  $N_s$  とすると、第1のトランス308の第1の2次巻線308bには、 $2(V_{in}/4) \cdot (N_s/N_p)$  [V] の振幅値を有する矩形波電圧が印加される。なお、第2の2次巻線308cの巻数も  $N_s$  である。

#### <時間区分 $t_1 \sim t_2$ >

時刻  $t_1$  において、図2の(a)の示されるゲート駆動信号が第1のスイッチ

ング素子 306 に印加されると、第 1 のスイッチング素子 306 がターンオフする。これにより、第 1 のトランス 308 の 1 次巻線 308 a の両端電圧は、0 [V] に垂下する。このとき、第 2 のトランス 316 の 1 次巻線 316 a の両端電圧は 0 [V] のままである。また、第 2 のトランス 316 の第 1 の 2 次巻線 316 b の両端に印加される電圧は、第 1 のスイッチング素子 306 がターンオフすることにより、0 [V] に垂下する。また、時刻  $t_1$  のにおいて、図 2 の (i) に示されるゲート駆動信号によって、第 7 のスイッチング素子 317 はターンオフする。

#### <時間区分 $t_2 \sim t_3$ >

時刻  $t_2$  のにおいて、図 2 の (c) に示されるゲート駆動信号によって、第 3 のスイッチング素子 314 がターンオンし、図 2 の (g) に示されるゲート駆動信号によって、第 5 のスイッチング素子 309 がターンオンする。これによって、第 2 のトランス 316 の 1 次巻線 316 a の両端には、 $(V_{in}/4)$  [V] の振幅を有する電圧が印加される。このとき、第 7 のスイッチング素子 317 はすでにオフ状態となっているため、第 7 のスイッチング素子 317 には、 $2(V_{in}/4) \cdot (N_s/N_p)$  [V] の振幅値を有する矩形波電圧が印加される。

#### <時間区分 $t_3 \sim t_4$ >

時刻  $t_3$  のにおいて、図 2 の (c) に示されるゲート駆動信号によって、第 3 のスイッチング素子 314 がターンオフし、図 2 の (h) に示されるゲート駆動信号によって、第 6 のスイッチング素子 310 がターンオフする。このとき、第 2 のトランス 316 の 1 次巻線 316 a の両端に印加される電圧は 0 [V] に垂下する。同様に、第 2 のトランス 316 の第 1 の 2 次巻線 316 b の両端電圧は 0 [V] となる。

#### <時間区分 $t_4 \sim t_5$ >

図 2 の (b) 及び (i) に示される各ゲート駆動信号によって、時刻  $t_4$  のにおいて、第 2 のスイッチング素子 307 及び第 7 のスイッチング素子 317 がターンオンする。これにより、第 1 のトランス 308 の 1 次巻線 308 a の両端には、

－  $(V_{in}/4)$  [V] の振幅値を有する電圧が印加される。このとき、第6のスイッチング素子310は、すでにオフ状態であるため、第1のトランス308の第2の2次巻線308cには、 $2(V_{in}/4) \cdot (N_s/N_p)$  [V] の振幅値を有する矩形波電圧が印加される。

#### <時間区分 t 5 ～ t 6>

図2の(b)及び(j)に示される各ゲート駆動信号によって、時刻 t 5において、第2のスイッチング素子307及び第8のスイッチング素子318がターンオフする。これにより、第1のトランス308の1次巻線308aには、 $(V_{in}/4)$  [V] の振幅値を有する電圧が誘起される。また、第2のスイッチング素子307がターンオフすることにより、第1のトランス308の1次巻線308aの両端電圧が0 [V] になるため、第2の2次巻線308cの両端電圧は0 [V] となる。

また、時刻 t 5において、第8のスイッチング素子318がターンオフする。

#### <時間区分 t 6 ～ t 7>

図2の(d)及び(h)に示される各ゲート駆動信号によって、時刻 t 6において、第6のスイッチング素子310及び第4のスイッチング素子315がターンオンする。これにより、第2のトランス316の1次巻線316aには－  $(V_{in}/4)$  [V] の電圧が印加される。また、第2のトランス316の第2の2次巻線316cには、 $2(V_{in}/4) \cdot (N_s/N_p)$  [V] の振幅値を有する矩形波電圧が印加される。

#### <時間区分 t 7 ～ t 8>

図2の(d)及び(g)に示される各ゲート駆動信号によって、時刻 t 7において、第5のスイッチング素子309及び第4のスイッチング素子315がターンオフする。これにより、第2のトランス316の1次巻線316aの両端電圧は0 [V] になる。このとき、第8のスイッチング素子318はターンオフしているため、第2のトランス316の第2の2次巻線316cの両端電圧は0 [V]

となる。

上記のように実施の形態１のスイッチング電源装置における第１及び第２のハーフブリッジコンバータ３５０，３６０は動作する。第１及び第２のハーフブリッジコンバータ３５０，３６０を構成する部品の特性にばらつきがある場合や、電源起動時における過渡的な状態においては、入力電圧を分割するコンデンサ３０２，３０３に接続される各ハーフブリッジコンバータ３５０，３６０への入力電圧に不平衡が生じる。従来のスイッチング電源装置においては、各ハーフブリッジコンバータ３５０，３６０への入力電圧の実際値を検出することにより、出力電圧の不平衡を防止していた。本発明に係る実施の形態１においては、各トランス３０６，３１６に印加される電圧を間接的に検出して、各ハーフブリッジコンバータ３５０，３６０への入力電圧に比例した電圧値を検出することによって、出力電圧の不平衡を是正している。

次に、実施の形態１のスイッチング電源装置における各ハーフブリッジコンバータ３５０，３６０への入力電圧の不平衡の是正方法について説明する。

実施の形態１のスイッチング電源装置においては、第１のトランス３０８が１次巻線３０８ａ、第１の２次巻線３０８ｂ及び第２の２次巻線３０８ｃに加えて補助巻線３０８ｄが設けられている。この補助巻線３０８ｄに印加される電圧は、第１の電圧検出回路３２５により検出されるよう構成されている。同様に、第２のトランス３１６について、１次巻線３１６ａ、第１の２次巻線３１６ｂ及び第２の２次巻線３１６ｃに加えて補助巻線３１６ｄが設けられている。この補助巻線３１６ｄに印加される電圧は第２の電圧検出回路３２６により検出されるよう構成されている。すなわち、補助巻線３０８ｄ，３１６ｄの巻数を $N_b$ とすると、第１のスイッチング素子３０６もしくは第３のスイッチング素子３１４がオン状態のとき、 $2(V_{in}/4) \cdot (N_b/N_p)$  [V] の電圧が各補助巻線３０８ｄ，３１６ｄに発生する。補助巻線３０８ｄ，３１６ｄに発生した電圧、すなわち第１及び第２の電圧検出回路３２５，３２６により検出された値は、第１及び第２のハーフブリッジコンバータ３５０，３６０の入力電圧に比例した振幅値を有している。第１の電圧検出回路３２５の出力電圧と第２の電圧検出回路３２６の出力電圧との偏差は、電圧偏差検出回路３２７により検出される。そして、



この電圧偏差検出回路 3 2 7 によって検出された偏差検出値を示す偏差信号は、電圧信号補正回路 3 2 8 を介して各スイッチング素子をオンオフ動作させる駆動信号を補正するために制御回路 3 2 4 に入力される。制御回路 3 2 4 において、各スイッチング素子の駆動信号が補正されることにより、電圧偏差検出回路 3 2 7 における入力偏差がゼロとなるよう制御される。

以上のように、本発明に係る実施の形態 1 のスイッチング電源装置においては、第 1 及び第 2 のハーフブリッジコンバータ 3 5 0, 3 6 0 を構成する各部品の特性にばらつきがあっても、また電源起動時における過渡的な状態においても、トランス 3 0 8, 3 1 6 に印加される電圧を間接的に検出して、各々のハーフブリッジコンバータ 3 5 0, 3 6 0 からの出力電圧の平衡を図っている。したがって、実施の形態 1 のスイッチング電源装置は、入力電圧を分割するコンデンサ 3 0 2, 3 0 3 に接続される各ハーフブリッジコンバータ 3 5 0, 3 6 0 において不平衡が生じて分割される電圧に偏りが生じた場合であっても、各ハーフブリッジコンバータ 3 5 0, 3 6 0 への入力電圧を確実に平衡状態とすることができる。

次に、実施の形態 1 のスイッチング電源装置における第 1 及び第 2 の電圧検出回路 3 2 5, 3 2 6 の構成について説明する。

第 1 及び第 2 の電圧検出回路 3 2 5, 3 2 6 の一例としては、全波整流器を用いて補助巻線 3 0 8 d, 3 1 6 d からの電流を整流して、直流電圧を検出する構成がある。このように構成された第 1 及び第 2 の電圧検出回路 3 2 5, 3 2 6 を有する実施の形態 1 のスイッチング電源装置において、コンデンサ 3 0 2, 3 0 3 によって入力直流電圧が均等に分圧されていれば、第 1 及び第 2 の電圧検出回路 3 2 5, 3 2 6 により検出された電圧は等しくなる。したがって、電圧偏差検出回路 3 2 7 は偏差検出値を検出せず、制御回路 3 2 4 に偏差信号を出力しない。

もし、コンデンサ 3 0 2, 3 0 3 によって入力直流電圧を均等に分圧できなかった場合、第 1 及び第 2 の電圧検出回路 3 2 5, 3 2 6 により検出された電圧には偏差を生じる。このため、電圧偏差検出回路 3 2 7 は偏差検出値を検出して、この偏差検出値を示す偏差信号を電圧信号補正回路 3 2 8 を介して制御回路 3 2 4 に出力する。

また、第 1 及び第 2 の電圧検出回路 3 2 5, 3 2 6 の別の例としては、矩形波

電圧の波高値を検出する手段を用いる構成がある。このように第 1 及び第 2 の電圧検出回路 3 2 5, 3 2 6 を構成した場合には、ノイズの影響による誤動作を防止する必要があるため、各トランス 3 0 8, 3 1 6 の 1 次巻線 3 0 8 a, 3 1 6 a、もしくは補助巻線 3 0 8 d, 3 1 6 d の両端にスナバ回路を適宜挿入して、動作の安定化が図られる。このように構成された第 1 及び第 2 の電圧検出回路 3 2 5, 3 2 6 を有するスイッチング電源装置においても、前述の構成と同様に、コンデンサ 3 0 2, 3 0 3 によって入力直流電圧が均等に分圧されていれば、第 1 及び第 2 の電圧検出回路 3 2 5, 3 2 6 により検出された電圧は等しくなる。一方、コンデンサ 3 0 2, 3 0 3 によって入力直流電圧を均等に分圧できなかった場合には、第 1 及び第 2 の電圧検出回路 3 2 5, 3 2 6 により検出された電圧には偏差を生じる。このため、電圧偏差検出回路 3 2 7 は偏差検出値を検出して、この偏差検出値を示す偏差信号を電圧信号補正回路 3 2 8 を介して制御回路 3 2 4 に出力する。

制御回路 3 2 4 には、各スイッチング素子の駆動信号の周期を決定するための三角波信号を発生させる基準三角波信号形成回路 5 0 1 が設けられている。また、制御回路 3 2 4 は、電圧偏差検出回路 3 2 7 からの偏差値を示す補正信号が入力されて、各スイッチング素子をオンオフ動作させる駆動信号を形成する駆動信号形成手段を備えている。

前述のように、実施の形態 1 のスイッチング電源装置においては、出力電圧検出回路 3 5 1 で検出された出力電圧が、出力電圧誤差増幅器 3 2 2 に入力され、この出力電圧誤差増幅器 3 2 2 において出力電圧設定用基準電源 3 2 3 の基準電圧と比較される。この比較結果である出力電圧誤差検出電圧を示す誤差信号が増幅されて、制御回路 3 2 4 に入力される。

各スイッチング素子をオンオフ動作させる駆動信号の制御回路 3 2 4 における生成方法は、基準三角波信号形成回路 5 0 1 からの三角波電圧と出力電圧誤差増幅器 3 2 2 からの出力電圧誤差検出電圧とを電圧比較手段である比較器において比較してパルス波形を生成している。このとき、電圧偏差検出回路 3 2 7 から電圧信号補正回路 3 2 8 を介して入力された補正信号の偏差電圧が、三角波電圧に加算もしくは減算されて、出力電圧誤差増幅器 3 2 2 からの出力電圧誤差検

出電圧と比較される。

図 3 は、制御回路 3 2 4 における駆動信号形成手段の構成を示すブロック図である。図 3 に示すように、電圧偏差検出回路 3 2 7 から電圧信号補正回路 3 2 8 を介して入力された補正信号の偏差電圧が、出力電圧誤差増幅器 3 2 2 からの出力電圧誤差検出電圧と比較される。

制御回路 3 2 4 においては、電圧信号補正回路 3 2 8 からの偏差信号が加算器 5 0 6 において三角波電圧が加算処理され、第 1 の電圧比較回路 5 0 2 に入力される。この第 1 の電圧比較回路 5 0 2 には出力電圧誤差増幅器 3 2 2 からの出力電圧誤差検出電圧が入力されて比較される。その比較結果は、第 1 のスイッチング素子駆動回路 5 0 4 に入力され、第 1 のハーフブリッジコンバータ 3 5 0 における第 1 のスイッチング素子 3 0 6、第 2 のスイッチング素子 3 0 7、第 5 のスイッチング素子 3 0 9 及び第 6 のスイッチング素子 3 1 0 が駆動制御される。また、電圧信号補正回路 3 2 8 からの補正信号は、加算器 5 0 7 において三角波電圧が減算処理され第 2 の電圧比較回路 5 0 3 に入力される。この第 2 の電圧比較回路 5 0 3 には出力電圧誤差増幅器 3 2 2 からの出力電圧誤差検出電圧が入力されて比較される。その比較結果は、第 2 のスイッチング素子駆動回路 5 0 5 に入力され、第 2 のハーフブリッジコンバータ 3 6 0 における第 3 のスイッチング素子 3 1 4、第 4 のスイッチング素子 3 1 5、第 7 のスイッチング素子 3 1 7 及び第 8 のスイッチング素子 3 1 8 が駆動制御される。

例えば、制御回路 3 2 4 において、第 1 の電圧比較回路 5 0 2 が電圧信号補正回路 3 2 8 の補正信号に基づき第 1 のハーフブリッジコンバータ 3 5 0 の入力電圧が設定値より超過したことを検知したとき、第 1 のスイッチング素子駆動回路 5 0 4 によって、第 1 のハーフブリッジコンバータ 3 5 0 におけるスイッチング素子 3 0 6、3 0 7、3 0 9、3 1 0 の駆動信号のデューティ比、及び第 2 のハーフブリッジコンバータ 3 6 0 におけるスイッチング素子 3 1 4、3 1 5、3 1 7、3 1 8 の駆動信号のデューティ比がそれぞれ変更される。すなわち、第 1 のハーフブリッジコンバータ 3 5 0 における 1 次側にある第 1 及び第 2 のスイッチング素子 3 0 6、3 0 7 の駆動信号のパルス幅を広げるよう制御し、第 2 のハーフブリッジコンバータ 3 6 0 の 1 次側にある第 3 及び第 4 のスイッチング

素子 314, 315 の駆動信号のパルス幅を狭めるよう制御する。このように制御することにより、第 1 のハーフブリッジコンバータ 350 の入力電圧は設定値になるよう調整される。

一方、制御回路 324 において、第 2 の電圧比較回路 503 が電圧信号補正回路 328 の補正信号に基づき第 2 のハーフブリッジコンバータ 360 の入力電圧が設定値より超過したことを検知したとき、第 2 のスイッチング素子駆動回路 505 によって、第 2 のハーフブリッジコンバータ 360 の 1 次側にある第 3 及び第 4 のスイッチング素子 314, 315 の駆動信号のパルス幅を広げるように制御する。同時に、第 1 のスイッチング素子駆動回路 504 によって、第 1 のハーフブリッジコンバータ 350 の 1 次側にある第 1 及び第 2 のスイッチング素子 306, 307 の駆動信号をパルス幅を狭めるよう制御する。このように制御することにより、第 2 のハーフブリッジコンバータ 360 の入力電圧は設定値になるよう調整される。

実施の形態 1 のスイッチング電源装置は、上記のように構成されているため、コンデンサ 302, 303 によって分圧された電圧にばらつきが生じた場合には、各スイッチング素子を所望のオンオフ動作させるように駆動信号を容易に制御することが可能であり、かつ部品の特性のばらつきによる不平衡に対しても、柔軟に対応することができる。この結果、実施の形態 1 のスイッチング電源装置は、信頼性の高い DC-DC コンバータを提供することができる。

本発明に係る実施の形態 1 のスイッチング電源装置においては、入力側の直列接続によるスイッチング素子への印加電圧の削減効果を有している。特に、例えばマイクロプロセッサなど半導体装置に給電する電源においては、機器の各部に対して電力を分配する比較的高いバス電圧（例えば 48 V）から、安定度の高い低い電圧（例えば 1 V）へ変換する必要がある。本発明のスイッチング電源装置においては、このように変換することができる構成である。本発明のスイッチング電源装置は、入力回路を直列に接続することにより、高いバス電圧に安定して対応することができるため、特に半導体装置の電源装置として有効である。

なお、上記の実施の形態 1 においては、2 組のハーフブリッジ形 DC-DC コンバータを直列に接続した構成について説明したが、本発明はこの構成に限定さ

れるものではなく、1石形のフォワード形コンバータ、フライバック形DC-DCコンバータ、フルブリッジ形DC-DCコンバータ、さらにスイッチングトランスの両端にスイッチングトランジスタを接続する変則のフォワード形DC-DCコンバータであっても本発明を応用できることは明らかである。上記のように、回路方式が異なっているとしても、本発明のスイッチング電源装置においては、絶縁トランスの1次巻線に誘起される電圧を検出する手段と、各々のDC-DCコンバータから得られる検出電圧を比較する手段と、各スイッチング素子のための駆動信号のオンオフ期間を制御する手段とを有する構成であれば、適応可能である。このような構成のスイッチング電源装置が本発明の範囲に含まれることは明らかである。

#### 《実施の形態2》

次に、本発明に係る実施の形態2のスイッチング電源装置について説明する。図4は本発明に係る実施の形態2のスイッチング電源装置の構成を示す回路図である。実施の形態2において、前述の実施の形態1のスイッチング電源装置における要素と同じ機能、構成、動作を示すものには同じ名称、符号を付してその説明は省略する。

実施の形態2のスイッチング電源装置は、前述の実施の形態1と同様に、2組のハーフブリッジ形DC-DCコンバータ（以下、ハーフブリッジコンバータと略称）450、451の入力側を直列に接続し、出力側を並列に接続して構成されている。すなわち、実施の形態2のスイッチング電源装置においては、2つのコンデンサ302、303を直列に接続して直流電源301の電圧を分割し、分割された各電圧が第1のハーフブリッジコンバータ450と第2のハーフブリッジコンバータ451に印加されている。

第1のハーフブリッジコンバータ450において、2つのコンデンサ304、305の直列回路がコンデンサ302に並列に接続されている。また、第1及び第2のスイッチング素子306、307の直列回路がコンデンサ304、305の直列回路と並列に接続されている。ここでは第1及び第2のスイッチング素子306、307がMOSFETで例示してある。第1のトランス308の1次巻

線 3 0 8 a は、2 つのコンデンサ 3 0 4, 3 0 5 の接続点と第 1 及び第 2 のスイッチング素子 3 0 6, 3 0 7 の接続点との間に接続されている。第 1 のトランス 3 0 8 は 1 次巻線 3 0 8 a と第 1 の 2 次巻線 3 0 8 b と第 2 の 2 次巻線 3 0 8 c と補助巻線 3 0 8 d とを有している。第 1 のトランス 3 0 8 の第 1 の 2 次巻線 3 0 8 b と第 2 の 2 次巻線 3 0 8 c は、整流手段である第 1 及び第 2 の整流ダイオード 4 0 1, 4 0 2 に接続されている。第 1 の整流ダイオード 4 0 1 及び第 2 の整流ダイオード 4 0 2 との接続点には出力チョークコイル 3 1 1 の一端が接続されており、出力チョークコイル 3 1 1 の他端には平滑コンデンサ 3 2 0 が接続されている。平滑コンデンサ 3 2 0 の両端は出力端となり、負荷 3 2 1 が接続される。負荷 3 2 1 に供給される出力電圧は、出力電圧検出手段である出力電圧検出回路 3 5 1 により検出され、出力電圧誤差増幅器 3 2 2 に出力される。出力電圧誤差増幅器 3 2 2 では出力電圧設定用の基準電源 3 2 3 からの基準電圧と出力電圧とが比較され、その誤差信号を増幅して制御手段である制御回路 3 2 4 へ出力する。

第 2 のハーフブリッジコンバータ 4 5 1 において、2 つのコンデンサ 3 1 2, 3 1 3 の直列回路がコンデンサ 3 0 3 に並列に接続されている。また、第 3 及び第 4 のスイッチング素子 3 1 4, 3 1 5 の直列回路がコンデンサ 3 1 2, 3 1 3 の直列回路と並列に接続されている。ここでは第 3 及び第 4 のスイッチング素子 3 1 4, 3 1 5 は MOSFET で例示してある。第 2 のトランス 3 1 6 の 1 次巻線 3 1 6 a は、2 つのコンデンサ 3 1 2, 3 1 3 の接続点と第 3 及び第 4 のスイッチング素子 3 1 4, 3 1 5 の接続点との間に接続されている。第 2 のトランス 3 1 6 は 1 次巻線 3 1 6 a と第 1 の 2 次巻線 3 1 6 b と第 2 の 2 次巻線 3 1 6 c と補助巻線 3 1 6 d とを有している。第 2 のトランス 3 1 6 の第 1 の 2 次巻線 3 1 6 b と第 2 の 2 次巻線 3 1 6 c は、整流手段である第 3 及び第 4 の整流ダイオード 4 0 3, 4 0 4 に接続されている。第 3 の整流ダイオード 4 0 3 と第 4 の整流ダイオード 4 0 4 との接続点には出力チョークコイル 3 1 9 の一端が接続されており、出力チョークコイル 3 1 9 の他端には平滑コンデンサ 3 2 0 が接続されている。

以上のように、第 1 のハーフブリッジコンバータ 4 5 0 と第 2 のハーフブリッ

ジコンバータ 4 5 1 においては、平滑コンデンサ 3 2 0 が共有されている。すなわち、第 1 のハーフブリッジコンバータ 4 5 0 と第 2 のハーフブリッジコンバータ 4 5 1 の各出力端は、並列に接続されて、負荷 3 2 1 に直流電力を供給するよう構成されている。

実施の形態 2 のスイッチング電源装置には、前述の実施の形態 1 と同様に、電圧検出回路 3 2 5、3 2 6、電圧偏差検出回路 3 2 7、及び電圧信号補正回路 3 2 8 が設けられている。

図 5 は、実施の形態 2 のスイッチング電源装置における動作波形を示したものである。図 5 において、(a) は第 1 のスイッチング素子 3 0 6 の駆動信号、(b) は第 2 のスイッチング素子 3 0 7 の駆動信号、(c) は第 3 のスイッチング素子 3 1 4 の駆動信号、(d) は第 4 のスイッチング素子 3 1 5 の駆動信号、(e) は第 1 のトランス 3 0 8 の 1 次巻線 3 0 8 a に印加される電圧波形、(f) は第 2 のトランス 3 1 6 の 1 次巻線 3 1 6 a に印加される電圧波形である。また、図 5 において、(g) は第 1 及び第 2 の整流ダイオード 4 0 1、4 0 2 のカソードの電圧波形、(h) は第 3 及び第 4 の整流ダイオード 4 0 3、4 0 4 のカソードの電圧波形である。

以下、図 5 に示す時刻  $t_0$  から時刻  $t_8$  までの回路動作を時間を区分して説明する。

#### <時間区分 $t_0 \sim t_1$ >

図 5 の (a) に示されるゲート駆動信号が第 1 のスイッチング素子 3 0 6 に印加されると、第 1 のスイッチング素子 3 0 6 は時刻  $t_0$  においてターンオンし、第 1 のトランス 3 0 8 の 1 次巻線 3 0 8 a の両端には、 $(V_{in}/4)$  [V] の電圧が印加される。 $(V_{in}/4)$  [V] という電圧は、コンデンサ 3 0 4、3 0 5、3 1 2、3 1 3 によって決定される。このとき、第 2 のトランス 3 1 6 の 1 次巻線 3 1 6 a の両端電圧は 0 [V] である。ここで、1 次巻線 3 1 6 a の巻数を  $N_p$ 、第 1 及び第 2 の 2 次巻線 3 0 8 b、3 0 8 c の各巻数を  $N_s$  とすると、第 1 及び第 2 の整流ダイオード 4 0 1、4 0 2 におけるカソード端とグランド間には、 $(V_{in}/4) \cdot (N_s/N_p)$  [V] の電圧が形成される。

#### <時間区分 t 1 ～ t 2>

時刻 t 1 において、図 5 の (a) に示されるゲート駆動信号が第 1 のスイッチング素子 3 0 6 に印加されると、第 1 のスイッチング素子 3 0 6 がターンオフする。これにより、第 1 のトランス 3 0 8 の 1 次巻線 3 0 8 a の両端電圧は、0 [V] に垂下する。また、第 1 及び第 2 の整流ダイオード 4 0 1, 4 0 2 におけるカソード端電圧も、0 [V] に垂下する。

#### <時間区分 t 2 ～ t 3>

時刻 t 2 において、図 5 の (c) に示されるゲート駆動信号が第 3 のスイッチング素子 3 1 4 に印加されると、第 3 のスイッチング素子 3 1 4 がターンオンする。これにより、第 2 のトランス 3 1 6 の 1 次巻線 3 1 6 a には  $(V_{in}/4)$  [V] の電圧が印加される。また、第 3 及び第 4 の整流ダイオード 4 0 3, 4 0 4 のカソード端には、 $(V_{in}/4) \cdot (N_s/N_p)$  [V] の振幅値を有する矩形波電圧が形成される。

#### <時間区分 t 3 ～ t 4>

時刻 t 3 において、図 5 の (c) に示されるゲート駆動信号が第 3 のスイッチング素子 3 1 4 に印加されると、第 3 のスイッチング素子 3 1 4 がターンオフする。これにより、第 2 のトランス 3 1 6 の 1 次巻線 3 1 6 a の両端電圧は 0 [V] に垂下する。また、図 5 の (c) に示されるゲート駆動信号により、第 3 のスイッチング素子 3 1 4 がターンオフすることにより、第 3 及び第 4 の整流ダイオード 4 0 3, 4 0 4 のカソード端電圧は 0 [V] に垂下する。

#### <時間区分 t 4 ～ t 5>

時刻 t 4 において、図 5 の (b) に示されるゲート駆動信号が第 2 のスイッチング素子 3 0 7 に印加されると、第 2 のスイッチング素子 3 0 7 がターンオンする。これにより、第 1 のトランス 3 0 8 の 1 次巻線 3 0 8 a の両端電圧は、 $-(V_{in}/4)$  [V] になる。このとき、第 1 及び第 2 の整流ダイオード 4 0 1, 4



02のカソード端には、 $(V_{in}/4) \cdot (N_s/N_p)$  [V] の電圧が形成される。

#### <時間区分 t 5 ~ t 6>

時刻 t 5において、図5の(b)に示されるゲート駆動信号が第2のスイッチング素子307に印加されると、第2のスイッチング素子307がターンオフする。これにより、第1のトランス308の1次巻線308aには、 $-(V_{in}/4)$  [V] の振幅値を有する電圧が誘起される。また、第2のスイッチング素子307がターンオフすることにより、第1及び第2の整流ダイオード401, 402のカソード端電圧は0 [V] となる。

#### <時間区分 t 6 ~ t 7>

時刻 t 6において、図5の(d)に示されるゲート駆動信号が第4のスイッチング素子315に印加されると、第4のスイッチング素子315がターンオンする。これにより、第2のトランス316の1次巻線316aの両端電圧は0 [V] になる。また、第3及び第4の整流ダイオード403, 404におけるカソード端には、 $(V_{in}/4) \cdot (N_s/N_p)$  [V] の振幅値を有する矩形波電圧が形成される。

#### <時間区分 t 7 ~ t 8>

時刻 t 7において、図5の(d)に示されるゲート駆動信号が第4のスイッチング素子315に印加されると、第4のスイッチング素子315がターンオフする。これにより、第2のトランス316の2次巻線316aの両端電圧は0 [V] になる。また、第4のスイッチング素子315がターンオフすることにより、第3及び第4の整流ダイオード403, 404のカソード電圧は0 [V] に垂下する。

実施の形態2において、それぞれの補助巻線308d、316dに誘起される電圧を検出する方法、及びその検出した電圧を比較して、その偏差を各スイッチング素子の駆動信号を生成する制御回路324に取り込む方法等は、前述の実施

の形態 1 と同じであり、それらの説明は省略する。

特に、実施の形態 2 においては、制御すべきスイッチング素子の数が少ないため、制御回路を簡単に構成することが可能となる。さらに、実施の形態 2 の構成によれば、安定な動作を行うスイッチング電源装置を提供することができる。

なお、上記の実施の形態 2 においては、2 組のハーフブリッジ形 DC-DC コンバータを直列に接続した構成について説明したが、本発明はこの構成に限定されるものではなく、1 石形のフォワード形コンバータ、フライバック形 DC-DC コンバータ、フルブリッジ形 DC-DC コンバータ、さらにスイッチングトランスの両端にスイッチングトランジスタを接続する変則のフォワード形 DC-DC コンバータであっても本発明を応用できることは明らかである。上記のように、回路方式が異なっているにもかかわらず、本発明のスイッチング電源装置においては、絶縁トランスの 1 次巻線に誘起される電圧を検出する手段と、各々の DC-DC コンバータから得られる検出電圧を比較する手段と、各スイッチング素子のための駆動信号のオンオフ期間を制御する手段とを有する構成であれば、適応可能であり、このような構成のスイッチング電源装置が本発明の範囲に含まれることは明らかである。

### 《実施の形態 3》

次に、本発明に係る実施の形態 3 のスイッチング電源装置について説明する。図 6 は本発明に係る実施の形態 3 のスイッチング電源装置の構成を示す回路図である。実施の形態 3 において、前述の実施の形態 1 のスイッチング電源装置における要素と同じ機能、構成、動作を示すものには同じ名称、符号を付してその説明は省略する。

実施の形態 3 のスイッチング電源装置は、前述の実施の形態 1 と同様に、2 組のハーフブリッジ形 DC-DC コンバータ（以下、ハーフブリッジコンバータと略称）の入力側を直列に接続し、出力側を並列に接続して構成されている。すなわち、実施の形態 3 のスイッチング電源装置においては、2 つのコンデンサ 302, 303 を直列に接続して直流電源 301 の電圧を分割し、分割された各電圧が第 1 のハーフブリッジコンバータと第 2 のハーフブリッジコンバータに印加

されている。

図 6 に示すように、実施の形態 3 のスイッチング電源装置においては、第 1 の電圧検出回路 405、及び第 2 の電圧検出回路 406 が設けられている。第 1 の電圧検出回路 405 は、第 1 のトランス 308 の第 2 の 2 次巻線 308c と直列に接続されている第 5 のスイッチング素子 309 の両端に印加される電圧を検出する。第 2 の電圧検出回路 406 は、第 2 のトランス 316 の第 2 の 2 次巻線 316c と直列に接続されている第 7 のスイッチング素子 317 の両端に印加される電圧を検出する。これらの電圧検出回路 405、406 以外の構成は、図 1 に示した実施の形態 1 のスイッチング電源装置と同じ構成である。

第 1 の電圧検出回路 405 による検出値は、第 1 のハーフブリッジコンバータの入力電圧に比例した振幅値を有し、第 2 の電圧検出回路 406 による検出値は、第 2 のハーフブリッジコンバータの入力電圧に比例した振幅値を有する。第 1 及び第 2 の電圧検出回路 405、406 の出力電圧は、電圧偏差検出回路 327 に入力され、電圧偏差検出回路 327 において、各ハーフブリッジコンバータにおける出力側スイッチング素子の両端電圧の偏差が検出される。この偏差検出値は制御回路 324 に入力される。制御回路 324 においては、入力された偏差検出値を示す偏差信号を用いて、各スイッチング素子をオンオフ動作させる駆動信号を補正する。このように、制御回路 324 は、各スイッチング素子の駆動信号を補正することにより、電圧偏差検出回路 405、406 により検出される偏差検出値がゼロとなるよう制御する。

以上のように、実施の形態 3 のスイッチング電源装置において、コンデンサ 302、303 によって直流電源 301 の電圧が半分に分割され。この分割された電圧が各々のコンデンサ 302、303 に印加される。しかし、コンデンサ 302、303 と並列に接続されている各ハーフブリッジコンバータにおける構成部品の特性にばらつきがある場合や、電源起動時における過渡的な状態においては、コンデンサ 302、303 によって分割される電圧に偏りが生じる。前述のように、従来のスイッチング電源装置においては、入力電圧の実際値を検出することにより、出力電圧の不平衡を防止していた。しかし、本発明に係る実施の形態 3 のスイッチング電源装置においては、各トランス 308、316 に印加される電

圧を間接的に検出することにより、各々のハーフブリッジコンバータの不平衡状態を検知している。実施の形態 3 のスイッチング電源装置は、上記のように構成されているため、各ハーフブリッジコンバータの入力電圧のアンバランス及びそれに伴う負荷電流の不平衡に対して、柔軟に対応できる装置となる。

なお、上記の実施の形態 3 においては、2 組のハーフブリッジ形 DC-DC コンバータを直列に接続した構成について説明したが、本発明はこの構成に限定されるものではなく、1 石形のフォワード形コンバータ、フライバック形 DC-DC コンバータ、フルブリッジ形 DC-DC コンバータ、さらにスイッチングトランスの両端にスイッチングトランジスタを接続する変則のフォワード形 DC-DC コンバータであっても本発明を応用できることは明らかである。上記のように、回路方式が異なっても、本発明のスイッチング電源装置においては、絶縁トランスの 1 次巻線に誘起される電圧を検出する手段と、各々の DC-DC コンバータから得られる検出電圧を比較する手段と、各スイッチング素子のための駆動信号のオンオフ期間を制御する手段とを有する構成であれば、適応可能である。このような構成のスイッチング電源装置が本発明の範囲に含まれることは明らかである。

#### 《実施の形態 4》

次に、本発明に係る実施の形態 4 のスイッチング電源装置について説明する。図 7 は本発明に係る実施の形態 4 のスイッチング電源装置の構成を示す回路図である。実施の形態 4 において、前述の実施の形態 1 のスイッチング電源装置における要素と同じ機能、構成、動作を示すものには同じ名称、符号を付してその説明は省略する。

実施の形態 4 のスイッチング電源装置は、前述の実施の形態 1 と同様に、2 組のハーフブリッジ形 DC-DC コンバータ（以下、ハーフブリッジコンバータと略称）の入力側を直列に接続し、出力側を並列に接続して構成されている。すなわち、実施の形態 4 のスイッチング電源装置においては、2 つのコンデンサ 302, 303 を直列に接続して直流電源 301 の電圧を分割し、分割された各電圧が第 1 のハーフブリッジコンバータと第 2 のハーフブリッジコンバータに印加

されている。

図 7 に示すように、実施の形態 4 のスイッチング電源装置においては、第 1 のトランス 308 における第 1 の 2 次巻線 308 b と第 2 の 2 次巻線 308 c の接点の電圧を検出する第 1 の電圧検出回路 407 と、第 2 のトランス 316 における第 1 の 2 次巻線 316 b と第 2 の 2 次巻線 316 c の接続点の電圧を検出する第 2 の電圧検出回路 408 を備えている。実施の形態 4 のスイッチング電源装置において、これらの電圧検出回路 407、408 の構成以外の点は、図 1 に示した実施の形態 1 のスイッチング電源装置と同じ構成である。

第 1 の電圧検出回路 407 による検出値は、第 1 のハーフブリッジコンバータの入力電圧に比例した振幅値を有し、第 2 の電圧検出回路 408 による検出値は、第 2 のハーフブリッジコンバータの入力電圧に比例した振幅値を有する。第 1 及び第 2 の電圧検出回路 407、408 の出力電圧は電圧偏差検出回路 327 に入力され、電圧偏差検出回路 327 において出力電力の偏差が検出される。この偏差検出値は制御回路 324 に入力される。制御回路 324 においては、入力された偏差検出値を示す偏差信号を用いて、各スイッチング素子をオンオフ動作させるための駆動信号を補正する。このように、制御回路 324 は、各スイッチング素子のための駆動信号を補正することにより、電圧偏差検出回路 407、408 により検出される偏差検出値がゼロとなるよう制御する。

以上のように、実施の形態 4 のスイッチング電源装置において、コンデンサ 302、303 によって直流電源 301 の電圧が半分に分割され。この分割された電圧が各々のコンデンサ 302、303 に印加される。しかし、コンデンサ 302、303 と並列に接続されている各ハーフブリッジコンバータにおける構成部品の特性にばらつきがある場合や、電源起動時における過渡的な状態においては、コンデンサ 302、303 によって分割される電圧に偏りが生じる。しかし、本発明に係る実施の形態 4 のスイッチング電源装置においては、各トランス 308、316 に印加される電圧を間接的に検出することにより、各々のハーフブリッジコンバータの回路状態を検知して、各ハーフブリッジコンバータの不均衡に対して、柔軟に対応できる装置となっている。

なお、上記の実施の形態 4 においては、2 組のハーフブリッジ形 DC-DC コ

ンバータを直列に接続した構成について説明したが、本発明はこの構成に限定されるものではなく、1石形のフォワード形コンバータ、フライバック形DC-DCコンバータ、フルブリッジ形DC-DCコンバータ、さらにスイッチングトランスの両端にスイッチングトランジスタを接続する変則のフォワード形DC-DCコンバータであっても本発明を応用できることは明らかである。上記のように、回路方式が異なっても、本発明のスイッチング電源装置においては、絶縁トランスの1次巻線に誘起される電圧を検出する手段と、各々のDC-DCコンバータから得られる検出電圧を比較する手段と、各スイッチング素子のための駆動信号のオンオフ期間を制御する手段とを有する構成であれば、適応可能である。このような構成のスイッチング電源装置が本発明の範囲に含まれることは明らかである。

#### 《実施の形態5》

次に、本発明に係る実施の形態5のスイッチング電源装置について説明する。図8は本発明に係る実施の形態5のスイッチング電源装置の構成を示す回路図である。実施の形態5において、前述の実施の形態1のスイッチング電源装置における要素と同じ機能、構成、動作を示すものには同じ名称、符号を付してその説明は省略する。

実施の形態5のスイッチング電源装置は、前述の実施の形態1と同様に、2組のハーフブリッジ形DC-DCコンバータ（以下、ハーフブリッジコンバータと略称）の入力側を直列に接続し、出力側を並列に接続して構成されている。すなわち、実施の形態5のスイッチング電源装置においては、2つのコンデンサ302, 303を直列に接続して直流電源301の電圧を分割し、分割された各電圧が第1のハーフブリッジコンバータと第2のハーフブリッジコンバータに印加されている。

図8に示すように、実施の形態5のスイッチング電源装置においては、各出力チョークコイル410, 412に補助巻線410a, 412aを設けて、この補助巻線410a, 412aに誘起される電圧が電圧検出回路409, 411により検出されるよう構成されている。実施の形態5のスイッチング電源装置は、出

力チョークコイル 410, 412 に補助巻線 410a, 412a を設け、この補助巻線 410a, 412a に電圧検出回路 409, 411 を接続している点が、前述の図 1 に示した実施の形態 1 のスイッチング電源装置の構成と異なる。

第 1 の電圧検出回路 409 による検出値は、第 1 のハーフブリッジコンバータの入力電圧に比例した値を有し、第 2 の電圧検出回路 411 による検出値は、第 2 のハーフブリッジコンバータの入力電圧に比例した値を有する。第 1 及び第 2 の電圧検出回路 409, 411 の出力電圧は電圧偏差検出回路 413 に入力され、電圧偏差検出回路 413 において出力チョークコイル 410, 412 における印加電圧の偏差が検出される。この偏差検出値は、電圧信号補正回路 414 を介して制御回路 324 に入力される。制御回路 324 においては、入力された偏差検出値を示す偏差信号を用いて、各スイッチング素子をオンオフ動作させる駆動信号を補正する。このように、制御回路 324 は、各スイッチング素子の駆動信号を補正することにより、電圧偏差検出回路 409, 411 により検出される偏差検出値がゼロとなるよう制御する。

以上のように、実施の形態 5 のスイッチング電源装置において、コンデンサ 302, 303 によって直流電源 301 の電圧が半分に分割され、この分割された電圧が各々のコンデンサ 302, 303 に印加される。しかし、コンデンサ 302, 303 と並列に接続されている各ハーフブリッジコンバータにおける構成部品の特性にばらつきがある場合や、電源起動時における過渡的な状態においては、コンデンサ 302, 303 によって分割される電圧に偏りが生じる。しかし、本発明に係る実施の形態 5 のスイッチング電源装置においては、各トランス 308, 316 に印加される電圧を間接的に検出することにより、各々のハーフブリッジコンバータの回路状態を検出して、各ハーフブリッジコンバータの不均衡に対して、柔軟に対応できる装置となっている。

なお、上記の実施の形態 5 においては、2 組のハーフブリッジ形 DC-DC コンバータを直列に接続した構成について説明したが、本発明はこの構成に限定されるものではなく、1 石形のフォワード形コンバータ、フライバック形 DC-DC コンバータ、フルブリッジ形 DC-DC コンバータ、さらにスイッチングトランスの両端にスイッチングトランジスタを接続する変則のフォワード形 DC-

D Cコンバータであっても本発明を応用できることは明らかである。上記のように、回路方式が異なっているとしても、本発明のスイッチング電源装置においては、絶縁トランスの1次巻線に誘起される電圧を検出する手段と、各々のD C-D Cコンバータから得られる検出電圧を比較する手段と、各スイッチング素子のための駆動信号のオンオフ期間を制御する手段とを有する構成であれば、適応可能である。このような構成のスイッチング電源装置が本発明の範囲に含まれることは明らかである。

#### 《実施の形態6》

次に、本発明に係る実施の形態6のスイッチング電源装置について説明する。図9は本発明に係る実施の形態6のスイッチング電源装置の構成を示す回路図である。実施の形態6において、前述の実施の形態1のスイッチング電源装置における要素と同じ機能、構成、動作を示すものには同じ名称、符号を付してその説明は省略する。

実施の形態6のスイッチング電源装置は、3組のハーフブリッジ形D C-D Cコンバータ(以下、ハーフブリッジコンバータと略称)の入力側を直列に接続し、出力側を並列に接続して構成されている。すなわち、実施の形態6のスイッチング電源装置においては、3つのコンデンサ302, 303, 450を直列に接続して直流電源301の電圧を3つに分割し、分割された各電圧が第1のハーフブリッジコンバータと第2のハーフブリッジコンバータと第3のハーフブリッジコンバータに印加されている。

図9に示すように、実施の形態6のスイッチング電源装置においては、前述の図1に示した実施の形態1のスイッチング電源装置の構成に第3のハーフブリッジコンバータを追加したものである。したがって、実施の形態6のスイッチング電源装置は、第1のハーフブリッジコンバータと同じ構成を有する第3のハーフブリッジコンバータが追加されたものであり、第3のハーフブリッジコンバータにはコンデンサ415, 416、第9のスイッチング素子417、第10のスイッチング素子418、第3のトランス419、第11のスイッチング素子421、第12のスイッチング素子422、平滑チョークコイル423、及び平滑コ



ンデンサ 3 2 0 で構成されている。したがって、第 1 のハーフブリッジコンバータと第 2 のハーフブリッジコンバータと第 3 のハーフブリッジコンバータの出力端は、並列に接続されており、負荷 3 2 1 に直流電力を供給している。

また、出力電圧を設定するために、出力電圧を検出する出力電圧検出回路 3 5 1、出力電圧設定用の基準電源 3 2 3、及び出力電圧と基準電源 3 2 3 の基準電圧との偏差を求める出力電圧誤差増幅器 3 2 2 が、前述の実施の形態 1 と同様に設けられている。出力電圧誤差増幅器 3 2 2 からの偏差検出値を示す誤差信号は制御回路 3 2 4 に入力され、各スイッチング素子をオンオフ動作させる駆動信号を形成する。

実施の形態 6 のスイッチング電源装置においては、第 1 のトランス 3 0 8 の補助巻線 3 0 8 d に生じる電圧は電圧検出回路 3 2 5 により検出され、第 2 のトランス 3 1 6 の補助巻線 3 1 6 d に生じる電圧は、電圧検出回路 3 2 6 により検出され、第 3 のトランス 4 1 9 の補助巻線 4 1 9-d に生じる電圧は、電圧検出回路 4 2 0 により検出され、各電圧検出回路 3 2 5、3 2 6、4 2 0 の出力が、それぞれ平均値電圧検出回路 4 2 4 に入力される。平均値電圧検出回路 4 2 4 においては、第 1 のトランス 3 0 8 の補助巻線 3 0 8 d に生じた電圧と第 2 のトランス 3 1 6 の補助巻線 3 1 6 d に生じた電圧と第 3 のトランス 4 1 9 の補助巻線 4 1 9 d に生じた電圧との平均電圧値を算出して、その平均電圧値と各検出電圧とを比較する。その結果は、平均値電圧検出回路 4 2 4 により、電圧信号補正手段 4 2 5 を介して制御回路 3 2 4 に出力される。

制御回路 3 2 4 は、出力電圧誤差増幅器 3 2 2 からの増幅された誤差信号と、第 1 のトランス 3 0 8 の出力電圧と第 2 のトランス 3 1 6 の出力電圧と第 3 のトランス 4 1 9 の出力電圧と、それぞれの平均電圧とを比較した結果を示す偏差信号が入力され、これらの信号に基づきスイッチング素子 3 0 6、3 0 7、3 0 9、3 1 0、3 1 4、3 1 5、3 1 7、3 1 8、4 1 7、4 1 8、4 2 1、4 2 2 のオンオフ制御が行われる。

図 1 0 は、実施の形態 6 のスイッチング電源装置における動作波形を示したものである。図 1 0 において、(a) は第 1 のスイッチング素子 3 0 6 の駆動信号、(b) は第 2 のスイッチング素子 3 0 7 の駆動信号、(c) は第 3 のスイッチン

グ素子 3 1 4 の駆動信号、(d) は第 4 のスイッチング素子 3 1 5 の駆動信号、(e) は第 9 のスイッチング素子 4 1 7 の駆動信号、(f) は第 1 0 のスイッチング素子 4 1 8 の駆動信号、(g) は第 1 のトランス 3 0 8 の 1 次巻線 3 0 8 a に印加される電圧波形、(h) は第 2 のトランス 3 1 6 の 1 次巻線 3 1 6 a に印加される電圧波形、及び (i) は第 3 のトランス 4 1 9 の 1 次巻線 4 1 9 a に印加される電圧波形である。図 1 0 において、(j) における実線は第 5 のスイッチング素子 3 0 9 の駆動信号であり、破線は第 5 のスイッチング素子 3 0 9 の両端に印加される電圧波形である。図 1 0 の (k) における実線は第 6 のスイッチング素子 3 1 0 の駆動信号であり、破線は第 6 のスイッチング素子 3 1 0 の両端に印加される電圧波形である。図 1 0 の (l) における実線は第 7 のスイッチング素子 3 1 7 の駆動信号であり、破線は第 7 のスイッチング素子 3 1 7 の両端に印加される電圧波形である。図 1 0 の (m) における実線は第 8 のスイッチング素子 3 1 8 の駆動信号であり、破線は第 8 のスイッチング素子 3 1 8 の両端に印加される電圧波形である。図 1 0 の (n) における実線は第 1 1 のスイッチング素子 4 2 1 の駆動信号であり、破線は第 1 1 のスイッチング素子 4 2 1 の両端に印加される電圧波形である。図 1 0 の (o) における実線は第 1 2 のスイッチング素子 4 2 2 の駆動信号であり、破線は第 1 2 のスイッチング素子 4 2 2 の両端に印加される電圧波形である。

以下、図 1 0 に示す時刻  $t_0$  から時刻  $t_{12}$  までの回路動作を時間を区分して説明する。

#### <時間区分 $t_0 \sim t_1$ >

図 1 0 の (a) に示されるゲート駆動信号が第 1 のスイッチング素子 3 0 6 に印加されると、第 1 のスイッチング素子 3 0 6 が時刻  $t_0$  においてターンオンする。これにより、第 1 のトランス 3 0 8 の 1 次巻線 3 0 8 a の両端には、図 1 0 の (g) に示される直流電源 3 0 1 の入力電圧  $V_{in}$  [V] の 6 分の 1 に相当する  $(V_{in}/6)$  [V] の電圧が印加される。 $(V_{in}/6)$  [V] という電圧は、コンデンサ 3 0 4, 3 0 5, 3 1 2, 3 1 3, 4 1 5, 4 1 6 によって決定される。このとき、図 1 0 の (j) に示されるように、第 5 のスイッチング素子

309はゲート駆動信号により、すでにオフ状態にあるため、第1のトランス308の1次巻線308aの巻数を $N_p$ 、第1の2次巻線308bの巻数を $N_s$ とすると、第1のトランス308の第1の2次巻線308bには、 $2 \cdot (V_{in}/6) \cdot (N_s/N_p)$  [V] の振幅値を有する矩形波電圧が印加される。

#### <時間区分 $t_1 \sim t_2$ >

時刻  $t_1$  において、図10の(a)に示されるゲート駆動信号により第1のスイッチング素子306がターンオフする。これにより、第1のトランス308における1次巻線308aの両端電圧は0 [V] に垂下する。

#### <時間区分 $t_2 \sim t_3$ >

時刻  $t_2$  において、図10の(c)に示されるゲート駆動信号により第3のスイッチング素子314がターンオンする。これにより、図10の(h)に示されるように、第2のトランス316における1次巻線316aの両端電圧は、 $(V_{in}/6)$  [V] となる。また、この時点では、図10の(l)に示されるゲート駆動信号によって、第2のトランス316における第1の2次巻線316bの両端には、 $2 \cdot (V_{in}/6) \cdot (N_s/N_p)$  [V] の電圧が印加される。

#### <時間区分 $t_3 \sim t_4$ >

時刻  $t_3$  において、図10の(c)に示されるゲート駆動信号により第3のスイッチング素子314がターンオフする。これにより、図10の(h)に示されるように、第2のトランス316における1次巻線316aの両端電圧は、0 [V] となる。また、第2のトランス316における第1の2次巻線316bの両端電圧は、0 [V] になる。

#### <時間区分 $t_4 \sim t_5$ >

時刻  $t_4$  において、図10の(e)に示されるゲート駆動信号により第9のスイッチング素子417がターンオンする。これにより、第3のトランス419の1次巻線419aの両端電圧は $(V_{in}/6)$  [V] となる。このとき、図10

の (n) の実線に示されるゲート駆動信号により、第 11 のスイッチング素子 421 はオフの状態にあるため、第 11 のスイッチング素子 421 の両端電圧は、 $2 \cdot (V_{in}/6) \cdot (N_s/N_p)$  [V] となる。

#### <時間区分 t 5 ~ t 6>

時刻 t 5 において、図 10 の (e) に示されるゲート駆動信号により第 9 のスイッチング素子 417 がターンオフする。これにより、第 3 のトランス 419 の 1 次巻線 419 a の両端電圧は 0 [V] となる。このとき、第 11 のスイッチング素子 421 の両端電圧は、0 [V] に垂下する。

#### <時間区分 t 6 ~ t 7>

時刻 t 6 において、図 10 の (b) に示されるゲート駆動信号により第 2 のスイッチング素子 305 がターンオンする。これにより、第 1 のトランス 308 における 1 次巻線 308 a の両端電圧は  $-(V_{in}/6)$  [V] となる。このとき、図 10 の (k) の実線に示されるゲート駆動信号によって、第 6 のスイッチング素子 310 はオフの状態にあるため、第 6 のスイッチング素子 310 の両端には、 $2 \cdot (V_{in}/6) \cdot (N_s/N_p)$  [V] の電圧が印加される。

#### <時間区分 t 7 ~ t 8>

時刻 t 7 において、図 10 の (b) に示されるゲート駆動信号により第 2 のスイッチング素子 305 がターンオフする。これにより、第 1 のトランス 308 における 1 次巻線 308 a の両端電圧は 0 [V] となる。このとき、図 10 の (k) に示されるように、第 6 のスイッチング素子 310 の両端電圧は 0 [V] に垂下している。

#### <時間区分 t 8 ~ t 9>

時刻 t 8 において、図 10 の (d) に示されるゲート駆動信号により第 4 のスイッチング素子 315 がターンオンする。これにより、第 2 のトランス 316 の 1 次巻線 316 a の両端電圧は、 $-(V_{in}/6)$  [V] となる。このとき、図

10の(m)に示されるゲート駆動信号によって、第8のスイッチング素子318の両端には、 $2 \cdot (V_{in}/6) \cdot (N_s/N_p)$  [V]の電圧が印加される。

<時間区分 t 9 ~ t 10>

時刻 t 9において、図10の(d)に示されるゲート駆動信号により第4のスイッチング素子315がターンオフする。これによって、第2のトランス316の1次巻線316aの両端電圧は、0 [V]となる。このとき、第8のスイッチング素子318の両端電圧も、0 [V]に垂下する。

<時間区分 t 10 ~ t 11>

時刻 t 10において、図10の(f)に示されるゲート駆動信号により第10のスイッチング素子418がターンオンする。これによって、第3のトランス419の1次巻線419aの両端電圧には、 $-(V_{in}/6)$  [V]が印加される。このとき、図10の(o)に示されるゲート駆動信号により、第12のスイッチング素子422の両端には、 $2 \cdot (V_{in}/6) \cdot (N_s/N_p)$  [V]の電圧が印加されている。

<時間区分 t 11 ~ t 12>

時刻 t 11において、図10の(f)に示されるゲート駆動信号により第10のスイッチング素子418がターンオフする。これによって、第3のトランス419の1次巻線419aの両端電圧は、0 [V]に垂下する。このとき、図10の(o)に示されるゲート駆動信号によって、第12のスイッチング素子422の両端電圧も0 [V]に垂下している。

以上が、本発明に係る実施の形態6のスイッチング電源装置における動作である。

本発明に係る実施の形態6のスイッチング電源装置において、各トランス308、316、419が、1次巻線308a、316a、419a、第1の2次巻線308b、316b、419b、第2の2次巻線308c、316c、419cに加えて、補助巻線308d、316d、419dが追加されている。そして、補

助巻線 308d, 316d, 419d に印加される電圧を検出する電圧検出回路 325, 326, 420 が設けられている。すなわち、補助巻線 308d, 316d, 419d の巻数を  $N_b$  とすると、第 1 のスイッチング素子 306 又は第 3 のスイッチング素子 314 がオンしたとき、補助巻線 308d, 316d, 419d には、 $2(V_{in}/6)(N_b/N_p)$  [V] の電圧が発生する。補助巻線 308d, 316d, 419d に生じた電圧信号は、各々のハーフブリッジコンバータの入力電圧に比例した振幅値を有する。各ハーフブリッジコンバータに備えられている電圧検出回路 325, 326, 420 の出力電圧の平均値電圧は、平均値電圧検出回路 424 において算出される。そして、平均値電圧検出回路 424 は各電圧検出回路 325, 326, 420 の出力電圧と平均値電圧との偏差を検出する。検出された偏差値を示す誤差信号は、電圧信号補正回路 328 を介して制御回路 324 に入力される。制御回路 324 においては、誤差信号を用いて各スイッチング素子をオンオフ駆動させる駆動信号を補正する。制御回路 324 においては、このように各スイッチング素子の駆動信号を補正することにより電圧検出回路からの検出電圧の偏差をゼロにするよう制御する。

以上のように、本発明に係る実施の形態 6 のスイッチング電源装置においては、コンデンサ 302, 303, 450 によって直流電源 301 の電圧が 3 分の 1 に分割され、分割された電圧が、各々のコンデンサ 302, 303, 450 に印加される。しかし、各コンデンサ 302, 303, 450 と並列に接続されているそれぞれのハーフブリッジコンバータを構成する部品の素子値にばらつきがある場合や、電源起動時における過渡的な状態においては、コンデンサによって分割される電圧に偏りが生じる。前述のように、従来例では、入力電圧の実際値を検出することによって、入力電圧の不平衡を防止していた。しかし、本発明に係る実施の形態 6 のスイッチング電源装置においては、各トランスに印加される電圧を間接的に検出するよう構成されているため、各々のハーフブリッジコンバータの回路状態が検知されている。このように構成されているため、実施の形態 6 のスイッチング電源装置は、直列接続されたハーフブリッジコンバータにおける各入力電圧の不平衡に対して、より柔軟に対応できる電源装置となる。

次に、実施の形態 6 のスイッチング電源装置における電圧検出回路 325, 3

2 6, 4 2 0 の構成について説明する。

電圧検出回路 3 2 5, 3 2 6, 4 2 0 の一例としては、全波整流器を用いて補助巻線からの電流を整流して、直流電圧を検出する構成がある。このように構成された電圧検出回路 3 2 5, 3 2 6, 4 2 0 を有する実施の形態 6 のスイッチング電源装置において、コンデンサ 3 0 2, 3 0 3, 4 5 0 によって入力直流電圧が均等に分圧されていれば、電圧検出回路 3 2 5, 3 2 6, 4 2 0 により検出された電圧は等しくなる。したがって、平均値電圧検出回路 4 2 4 は偏差検出値を検出せず、制御回路 3 2 4 に偏差信号を出力しない。

もし、コンデンサ 3 0 2, 3 0 3, 4 5 0 によって入力直流電圧を均等に分圧できなかった場合、電圧検出回路 3 2 5, 3 2 6, 4 2 0 により検出された電圧には偏差が生じる。このため、平均値電圧検出回路 4 2 4 は偏差検出値を検出して、この偏差値を示す偏差信号を電圧信号補正回路 4 2 5 を介して制御回路 3 2 4 に出力する。

また、電圧検出回路 3 2 5, 3 2 6, 4 2 0 の別の構成例としては、矩形波電圧の波高値を検出する手段を用いたものがある。このように電圧検出回路 3 2 5, 3 2 6, 4 2 0 を構成した場合には、ノイズの影響による誤動作を防止する必要があるため、各トランス 3 0 8, 3 1 6, 4 1 9 の 1 次巻線 3 0 8 a, 3 1 6 a, 4 1 9 a、もしくは補助巻線 3 0 8 d, 3 1 6 d, 4 1 9 a の両端にスナバ回路を適宜挿入して、動作の安定化が図られる。このように構成された電圧検出回路 3 2 5, 3 2 6, 4 2 0 を有するスイッチング電源装置においても、前述の構成と同様に、コンデンサ 3 0 2, 3 0 3, 4 5 0 によって入力直流電圧が均等に分圧されていれば、電圧検出回路 3 2 5, 3 2 6, 4 2 0 により検出された電圧は等しくなる。一方、コンデンサ 3 0 2, 3 0 3, 4 5 0 によって入力直流電圧を均等に分圧できなかった場合には、電圧検出回路 3 2 5, 3 2 6, 4 2 0 により検出された電圧には偏差が生じる。このため、平均値電圧検出回路 4 2 4 は偏差検出値を検出して、この偏差値を示す偏差信号を電圧信号補正回路 4 2 5 を介して制御回路 3 2 4 に出力する。

制御回路 3 2 4 には、各スイッチング素子の駆動信号の周期を決定するための三角波信号を発生させる三角波信号形成回路が設けられている。また、制御回路

324は、平均値電圧検出回路424からの偏差値を示す偏差信号が入力されて、各スイッチング素子をオンオフ動作させる駆動信号を形成する駆動信号形成手段を備えている。

前述のように、実施の形態6のスイッチング電源装置においては、出力電圧検出回路351で検出された出力電圧が、出力電圧誤差増幅器322に入力され、出力電圧誤差増幅器322において基準電源323の基準電圧と比較される。この比較結果である偏差検出電圧を示す誤差信号が増幅されて、制御回路324に入力される。

制御回路324における各スイッチング素子をオンオフ動作させる駆動信号の生成方法は、三角波信号形成回路からの三角波電圧と出力電圧誤差増幅器322からの偏差検出電圧を比較器において比較してパルス波形を生成している。このとき、平均値電圧検出回路424からの偏差信号の偏差電圧が、三角波電圧もしくは出力電圧誤差増幅器322の偏差検出電圧のいずれかに加算されるよう構成されている。

実施の形態6のスイッチング電源装置は、上記のように構成されているため、コンデンサ302、303、450によって分圧された電圧にばらつきが生じた場合には、各スイッチング素子を所望のオンオフ動作させるように駆動信号を容易に制御することが可能であり、かつ部品の特性のばらつきによる不平衡に対しても、柔軟に対応することができる。この結果、実施の形態6のスイッチング電源装置は、信頼性の高いDC-DCコンバータを確実に提供することができる。

なお、実施の形態6においては、3組のハーフブリッジ形DC-DCコンバータを直列に接続した構成について説明したが、本発明はこの構成に限定されるものではなく、1石形のフォワード形コンバータ、フライバック形DC-DCコンバータ、フルブリッジ形DC-DCコンバータ、さらにスイッチングトランスの両端にスイッチングトランジスタを接続する変則のフォワード形DC-DCコンバータであっても本発明を応用できることは明らかである。上記のように、回路方式が異なっても、本発明のスイッチング電源装置においては、絶縁トランスの1次巻線に誘起される電圧を検出する手段と、各々のDC-DCコンバータから得られる検出電圧を比較する手段と、各スイッチング素子のための駆動信



号のオンオフ期間を制御する手段とを有する構成であれば、適応可能である。このような構成のスイッチング電源装置が本発明の範囲に含まれることは明らかである。

また、実施の形態 6 のスイッチング電源装置では、3 組の DC-DC コンバータで構成した例で説明したが、本発明はこのような構成に限定されるものではなく、4 組以上の DC-DC コンバータで構成されたスイッチング電源装置においても、実施の形態 6 と同様の手法を用いることにより対応可能であり、本発明の範囲に含まれることは明らかである。

以上、実施の形態について詳細に説明したところから明らかなように、本発明は次の効果を有する。

本発明によれば、複数の DC-DC コンバータの入力側を直列に接続して、各々の DC-DC コンバータの入力電圧を均等にし、安価でかつ電力ロスの少ない回路部品によって負荷分担を均等化することができるスイッチング電源装置を提供することができる。

本発明のスイッチング電源装置は、直流電源と並列にコンデンサの直列体が接続されており、各々のコンデンサの両端に DC-DC コンバータの入力端を接続し、その出力端を並列接続して、負荷に接続されるよう構成されており、各々の DC-DC コンバータの入力電圧を均等化ために、安価でかつ電力ロスの少ない回路部品を用いることが可能となる。

本発明のスイッチング電源装置においては、各 DC-DC コンバータにおけるトランスもしくはチョークコイルに誘起される電圧波形を検出し、その検出電圧を比較してその偏差を制御回路における補正処理に用いることにより、各々の DC-DC コンバータに印加される電圧を確実に且つ高精度に均等化することが可能となる。

本発明によれば、入出力間の降圧の大きいスイッチング電源装置において、トランスの巻数を少なくすることが可能となる。これにより、大電流を供給するためのスイッチング電源装置や、形状やスペースに制約のあるスイッチング電源装置においては、本発明を採用することにより、小型化、高効率化が可能になるため、スイッチング電源装置においては汎用性の高い有用な回路方式となる。

発明をある程度の詳細さをもって好適な形態について説明したが、この好適形態の現開示内容は構成の細部において変化してしかるべきものであり、各要素の組合せや順序の変化は請求された発明の範囲及び思想を逸脱することなく実現し得るものである。

## 請求の範囲

### 1. 直流電源の電圧を分割する複数のコンデンサと、

前記複数のコンデンサに分割された電圧がそれぞれに入力され、出力側が並列接続された複数のDC-DCコンバータと、

前記DC-DCコンバータの出力電圧を検出して基準電圧との誤差信号を形成する出力電圧誤差検出手段と、

各DC-DCコンバータにおける入力電圧に対応する電圧を検出して、各DC-DCコンバータの入力電圧の偏差信号を形成する入力電圧偏差検出手段と、

前記出力電圧誤差検出手段からの誤差信号と前記入力電圧偏差検出手段からの偏差信号とが入力され、前記DC-DCコンバータの駆動制御を行う制御手段と、

を具備することを特徴とするスイッチング電源装置。

### 2. 入力電圧偏差検出手段は、DC-DCコンバータにおける所定の構成部分に印加される電圧を検出する電圧検出手段と、前記電圧検出手段により検出された各DC-DCコンバータの入力電圧の偏差を検知する電圧偏差検出手段とを有して構成され、

制御手段は、前記入力電圧偏差検出手段の偏差信号と出力電圧誤差検出手段の誤差信号が入力され、各DC-DCコンバータへの入力電圧バランスを均等にし、前記入力電圧偏差検出手段の偏差をゼロにするように、前記スイッチング手段をオンオフ動作させる駆動信号を補正するよう構成されている請求項1に記載のスイッチング電源装置。

### 3. 直流電源が接続される入力端子間に直列に接続されたN個（Nは3以上の整数）のコンデンサと、前記コンデンサのそれぞれに接続されたN個のDC-DCコンバータとを有して構成されたスイッチング電源装置であって、

入力電圧偏差検出手段が各DC-DCコンバータにおける入力電圧に対応する電圧を検出して平均値を算出し、当該平均値と各DC-DCコンバータにおけ

る入力電圧に対応する電圧との偏差を形成し、

制御手段は、前記入力電圧偏差検出手段の偏差信号と出力電圧誤差検出手段の誤差信号が入力され、各DC-DCコンバータへの入力電圧バランスを均等にし、前記入力電圧偏差検出手段の偏差をゼロにするように、前記スイッチング手段をオンオフ動作させる駆動信号を補正するよう構成されている請求項1に記載のスイッチング電源装置。

4. 入力電圧偏差検出手段は、トランスに補助巻線を追加して、スイッチング手段がオン状態のときに前記補助巻線に誘起する電圧を検出するよう構成された請求項1乃至3のいずれか一項に記載のスイッチング電源装置。

5. 入力電圧偏差検出手段は、トランスの2次巻線に誘起される電圧を検出するよう構成された請求項1乃至3のいずれか一項に記載のスイッチング電源装置。

6. 入力電圧偏差検出手段は、出力チョークコイルに印加される電圧を検出するよう構成された請求項1乃至3のいずれか一項に記載のスイッチング電源装置。

7. 制御手段は、基準三角波信号を形成する基準三角波信号形成手段と、前記基準三角波信号と出力電圧誤差検出手段の誤差信号とを比較する電圧比較手段とを有して構成されており、入力電圧偏差検出手段における偏差信号を、基準三角波信号もしくは誤差増幅器の誤差信号のいずれかに加算した後、電圧比較をするよう構成された請求項1乃至3のいずれか一項に記載のスイッチング電源装置。

8. DC-DCコンバータは、少なくともスイッチング手段と絶縁トランスと整流手段と平滑コンデンサと出力チョークコイルとを有しており、前記整流手段が、ダイオードで構成された請求項1乃至3のいずれか一項に記載のスイッチン

グ電源装置。

9. DC-DCコンバータは、フォワード形コンバータ、フライバック形コンバータ、ハーフブリッジ形コンバータ、及びフルブリッジ形コンバータのうちのいずれか1種類で構成された請求項1乃至3のいずれか一項に記載のスイッチング電源装置。
10. 半導体装置に給電するよう構成したことを特徴とした請求項1乃至3のいずれか一項に記載のスイッチング電源装置。

## 要約書

本発明のスイッチング電源装置は、出力電圧誤差検出手段がDC-DCコンバータの出力電圧を検出して誤差信号を形成し、入力電圧偏差検出手段が各DC-DCコンバータにおける入力電圧に対応する電圧を検出して偏差信号を形成し、制御手段が出力電圧誤差検出手段の誤差信号と入力電圧偏差検出手段の偏差信号とが入力され、DC-DCコンバータの駆動制御を行うよう構成されている。